

Patent



Customer No. 31561  
Application No.: 10/707,652  
Docket No. 11077-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Lin et al.  
Application No. : 10/707,652  
Filed : Dec. 30, 2003  
For : METHOD AND APPARATUS FOR INDEPENDENTLY  
REFRESHING MEMORY CAPACITORS  
Examiner : N/A  
Art Unit : 2838

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 92122455,  
filed on: 2003/8/15.

A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated:

*August 2, 2004*

By:

*Belinda Lee*  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**

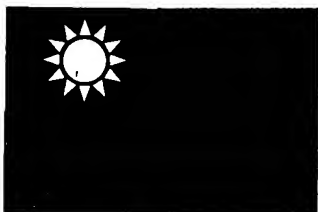
**7F.-1, No. 100, Roosevelt Rd.,**

**Sec. 2, Taipei 100, Taiwan, R.O.C.**

**Tel: 886-2-2369 2800**

**Fax: 886-2-2369 7233 / 886-2-2369 7234**

**E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 15 日  
Application Date

申請案號：092122455  
Application No.

申請人：華邦電子股份有限公司  
Applicant(s)

局長

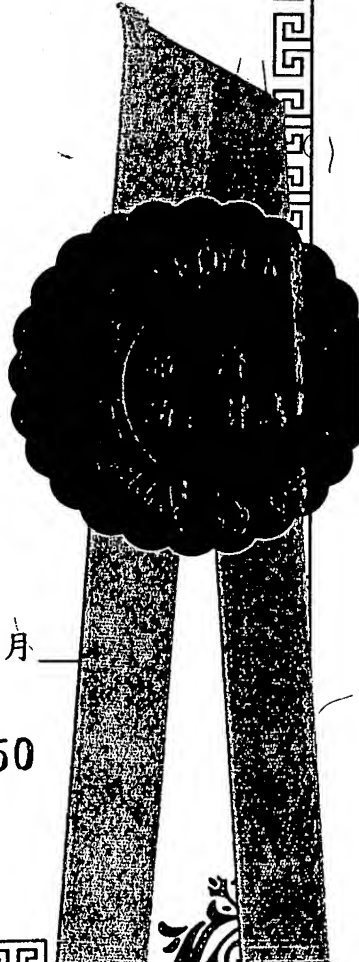
Director General

蔡練生

發文日期：西元 2004 年 2 月  
Issue Date

發文字號：09320158550  
Serial No.

CERTIFIED COPY OF  
PRIORITY DOCUMENT



BEST AVAILABLE COPY

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	獨立式刷新記憶體電容的方法及裝置
	英 文	Method and apparatus of independent refresh memory capacitance
二、 發明人 (共2人)	姓 名 (中文)	1. 林玉漳
	姓 名 (英文)	1. Lin Yu-Chang
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹東鎮中興路四段972號9樓
	住居所 (英 文)	1. 9F., No. 972, Sec. 4, Jhongsing Rd., Jhudong Township, Hsinchu County 310, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 華邦電子股份有限公司
	名稱或 姓 名 (英文)	1. Winbond Electronics Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區研新三路四號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 4, Creation Road III, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 焦佑鈞
	代表人 (英文)	1. Arthur Y.C. Chiao

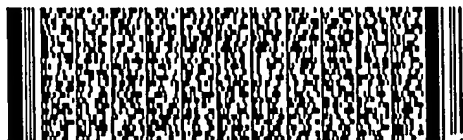


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 杜盈德
	姓 名 (英文)	2. Tu Ying-Te
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 高雄市三民區大連街239號
	住居所 (英 文)	2. No. 239, Dalian St., Sanmin District, Kaohsiung City 807, Taiwan (R. O. C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：獨立式刷新記憶體電容的方法及裝置)

一種獨立式刷新記憶體電容的方法及裝置，首先刷新控制器(Refresh Controller)取得一個刷新控制信號。接著，將此刷新控制信號輸入一個預解碼列位址計數器(Pre-decoder Row Address Counter)中進行計數後，輸出計數所得之預解碼列位址。接下來，將所獲得之預解碼列位址，直接輸入至列解碼列位址再驅動器(Pre-decoder Row Address Re-driver)進行再驅動，最後根據此再驅動後之預解碼列位址進行記憶體電容之刷新動作。

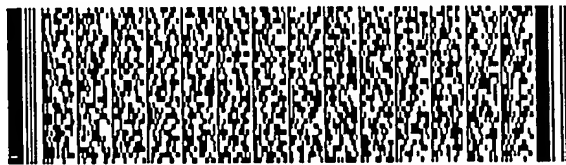
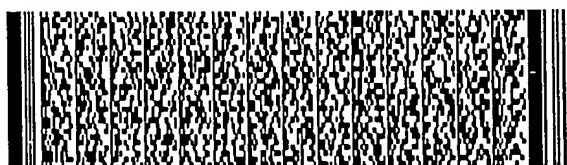
伍、(一)、本案代表圖為：第\_\_5\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

504：刷新控制器            508：預解碼列位址計數器  
512：預解碼列位址再驅動器            516：核心裝置            520  
~534：預解碼列位址線

六、英文發明摘要 (發明名稱：Method and apparatus of independent refresh memory capacitance)

A method and an apparatus of independent refresh memory capacitance, a refresh controller obtain a refresh control signal at first. Next input the refresh control signal to a pre-decoder row address counter to proceed to count, and output the counted result, a pre-decoder row address. Then, input the pre-decoder row address to a pre-decoder row address re-driver directly to



四、中文發明摘要 (發明名稱：獨立式刷新記憶體電容的方法及裝置)

六、英文發明摘要 (發明名稱：Method and apparatus of independent refresh memory capacitance)

proceed re-driver. Finally, according to the re-driven pre-decoder row address to proceed a refresh operation of memory capacitance.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

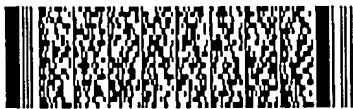
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

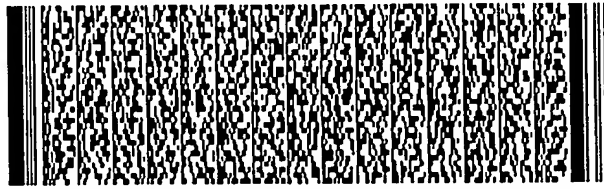
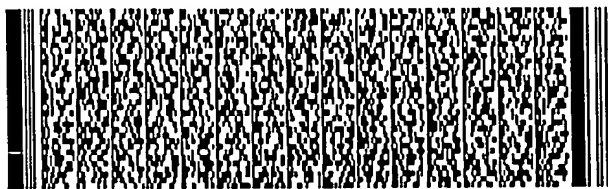
### 發明所屬之技術領域

本發明是有關於一種刷新記憶體電容的方法，且特別是關於不需透過位址驅動器及門鎖裝置，獨立刷新記憶體電容的技術。

### 先前技術

記憶體，是個人電腦和電子設備中不可或缺的元件，顧名思義便是做為儲存資料或數據使用，主要可以分為唯讀記憶體(Read Only Memory, ROM)與隨機存取記憶體(Random Access Memory, RAM)兩大類。隨機存取記憶體是一種可讀可寫的記憶體，它儲存資料的方式是利用電容器帶電荷與不帶電荷來儲存二位元資料。一個電容器代表一個記憶位元，其儲存之二位元資料「0」或「1」分別代表電容器「帶電荷」以及「不帶電荷」的狀態。在數位資料的儲存上，通常習慣以位元組(Byte)做為表示記憶體容量的單位，一個位元組是由八個位元所組成。但記憶體內每個用以儲存資料的單元則稱為記憶胞(Memory Cell)。記憶胞在記憶體內，是以陣列的方式排列，每一個行(Column)與列(Row)的組合代表一個特定的記憶胞位址。其中，列於同行或是同列的數個記憶胞是使用共用的導線加以串接。

隨機存取記憶體名稱中的『隨機』，所指的是這類記憶體允許由任意一個記憶位址來讀取資料；而『存取』則表示這類記憶體具備可被讀寫的能力，在隨機存取記憶體中的資料除可被讀取之外，亦可以隨時更改其內容，此點



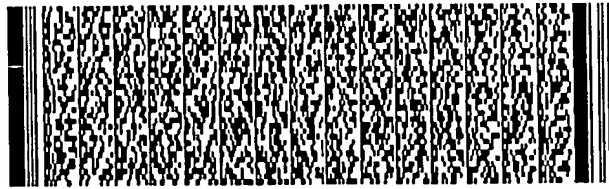
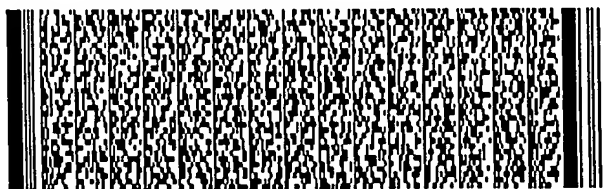


## 五、發明說明 (2)

乃是與唯讀記憶體最大的差別之處。記憶體乃由許多記憶胞所組合而成，要如何指定要求其中某個記憶胞的資料呢？習知技術中是採用行列定址(Row-Column Addressing)的方式處理，將記憶體位址拆成兩個部分，也就是列位址(Row Address)與行位址(Column Address)。先後對這兩個位址進行解碼的動作，於兩次的解碼動作之後才能確認記憶體位址並且進行後續動作。

請參照第1圖所繪示之2KB( $2$ 的 $12$ 次方)的記憶體之結構圖，來加以說明。首先，傳送列位址信號(118)，這時同時傳入列主動信號(115)開啟列位址解碼閘鎖(列解碼器驅動信號)，啟動 $6 \times 64$ 列解碼器(106)將列位址解碼並傳入記憶體，在此說明例中乃是鎖定27列。接著，解碼完畢後則驅動行主動信號(112)開啟行位址解碼閘鎖(行解碼器驅動信號)，驅動行 $6 \times 64$ 解碼器(103)以便將行位址解碼後傳入記憶體鎖定特定位址，在此例中乃是鎖定35行。於鎖定行與列的位址之後，即可找出位於 $27 \times 35$ 位址之記憶胞(109)，之後便可再利用讀寫信號或輸出/輸入資料信號對這個位址進行所需之動作。

其中，列解碼動作(Row Address Strobe, RAS)，屬於第一階段的位址解碼動作，而行解碼動作(Column Address Strobe, CAS)，則包含了第二階段的位址解碼及記憶體的存取動作。於列解碼動作時，又可分為解碼與鎖定兩個動作，此時需要利用到位址閘鎖裝置(Address Latch)及位址驅動器(Address Driver)來完成，閘鎖裝置



### 五、發明說明 (3)

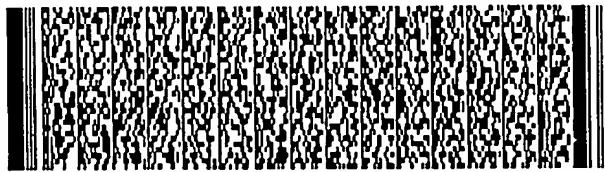
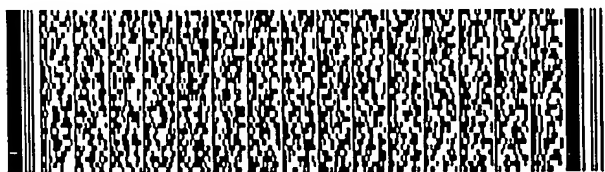
是藉由觸發的時序或復原的控制信號，保持現有狀態的電路。其功能是在下一個時序還沒來以前，即使輸入有所變化，也仍然保持原來的輸出。因此在列解碼動作完成時，鎖定列位址之功能，等待行解碼動作之完成。

接下來，請參照第2圖所繪示之習知技術的刷新記憶體電容裝置的電路方塊圖，在習知技術中，記憶體電容進行刷新動作時，刷新控制器(204)會輸出一個刷新控制信號，觸發刷新計數器(202)輸出一個刷新位址信號至位址驅動器(206)，之後再由位址驅動器(206)輸出位址驅動信號至列位址預解碼器(210)，此列位址預解碼器(210)則輸出一個預解碼列位址至預解碼列位址再驅動器(214)進行再驅動，最後將此再驅動後之預解碼列位址輸入核心裝置(212)進行記憶體電容刷新動作。另外，當記憶體欲做讀寫動作時，則是由位址暫存器(208)提供一個位址信號至位址驅動器(206)後，再透過列位址預解碼器(210)、預解碼列位址再驅動器(214)及核心裝置(212)，完成記憶體讀寫動作。

於上述習知技術中，進行記憶體電容刷新動作與進行讀寫動作相同，都必須得經過位址驅動器。習知位址驅動器乃為甚為耗電之元件，若欲節省待機時間之電力消耗，可考慮從此處著手加以改善。

#### 發明內容

有鑒於此，欲減少待機時間中電力之消耗，本發明提供一種無須透過位址驅動器，即可刷新記憶體電容之方法



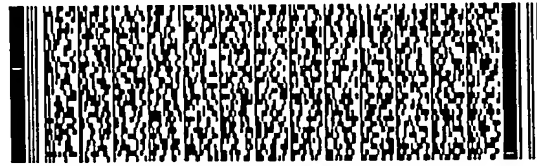
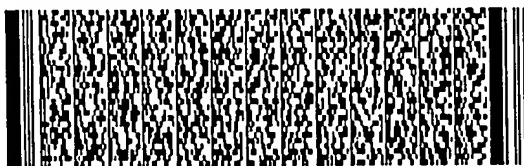
#### 五、發明說明 (4)

及裝置。

本發明提出一種獨立式刷新記憶體電容的方法，此方法首先從刷新控制器取得一個刷新控制信號輸入至預解碼列位址計數器中。接著，預解碼列位址計數器會依據此刷新控制信號進行計數，得到一個計數結果，並根據此計數結果，輸出與其相應之預解碼列位址，接著，再將所獲得之預解碼列位址直接輸入預解碼列位址解碼器，再驅動器驅動之後，直接輸入核心裝置，進行刷新記憶體電容之動作。

本發明提出一種獨立式刷新記憶體電容的裝置，此裝置包括一個刷新控制器、一個預解碼列位址計數器、一個預解碼列位址再驅動器、一個核心裝置。首先刷新控制器會提供一個刷新控制信號，輸入至預解碼列位址計數器中。此預解碼列位址計數器的輸入端電性連接至此刷新控制器，其輸出端為多條預解碼列位址線，這些預解碼列位址線電性連接至預解碼列位址再驅動器。接著，此預解碼列位址計數器會依據刷新控制信號進行計數，得到一個計數結果，並根據此計數結果，獲得一與其相應之預解碼列位址，直接輸入至預解碼列位址再驅動器中。預解碼列位址再驅動器則於接收到此預解碼列位址後進行再驅動之動作，並將此再驅動後之預解碼列位址輸出至與預解碼列位址再驅動器有電性連接關係的核心裝置中，進行刷新記憶體電容的動作。

將本發明與習知技術比較可知，在本發明中，於預解碼列位址計數器進行計數之後，即可得到一組預解碼列位



## 五、發明說明 (5)

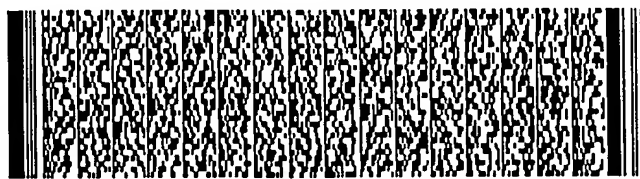
址，並不需透過位址驅動器及列位址解碼器，因此當電子設備處於待機狀態時，刷新記憶體電容所需消耗之電力可大幅減少。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### 實施方式：

目前在個人電腦中，系統主記憶體大多是以動態隨機存取記憶體的型態存在。雖然因為需花費時間於重複充電之動作上，而造成動態隨機存取記憶體在速度上較靜態隨機存取記憶體(Static Random Access Memory, SRAM)為慢，但是，由於動態隨機存取記憶體具備有製造價格較為便宜，晶片本身所佔用的空間較少，因此每單位面積可以設計較大容量等優點，所以容量需求量較大的系統主記憶體通常都會選用動態隨機存取記憶體。

動態隨機存取記憶體中的資料，是藉由不斷的充電來將資料保存下來，為了避免動態隨機存取記憶體中的資料流失，換句話說，也就是避免記憶體的電容所儲存之電力流失，所以無論是不是正在使用記憶體的內容，在每隔一段時間後都必須將資料讀出，並且再重新寫入記憶胞中。這種週期性重新充電的動作，可稱之為刷新操作(Refresh Operation)。在每一次刷新操作中，系統必須將記憶體中每個單位的資料讀出，並且再將相同的內容寫入，如此一來才能趕上電力流失的速度，記憶體中的資料才不至於因

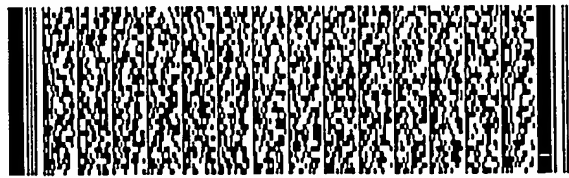
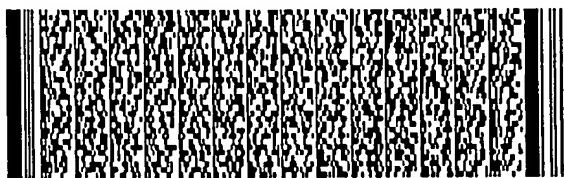


## 五、發明說明 (6)

此消失。基本上在每秒中，這樣的動作都要重複數百次之多。請參照第3圖，其所繪示為動態隨機存取記憶體의 充電週期示意圖。其中302、304、306以及308，表示記憶體充電時，電壓對時間之關係曲線；310、312、314以及316，表示為記憶體電力自然流失時，電壓對時間之關係曲線。

接下來請參照第4圖，其繪示依照本發明一較佳實施例的刷新記憶體電容方法的流程圖。在此較佳實施例中，首先係從刷新控制器取得一個刷新控制信號（如步驟S403），將此刷新控制信號輸入至與此刷新控制器相連接之預解碼列位址計數器中。接著，預解碼列位址計數器依據此刷新控制信號進行計數，並根據計數結果而輸出相應之預解碼列位址（如步驟S406）。接下來，此預解碼列位址被直接輸入至預解碼列位址再驅動器中，而得到一個再驅動後的預解碼列位址（如步驟S409），此預解碼列位址即為將要進行刷新動作之位址。最後再依據此預解碼列位址來進行記憶體電容刷新（如步驟S412）。

接下來請參照第5圖，其繪示依照本發明一較佳實施例的刷新記憶體電容裝置的電路方塊圖。此裝置包括，一個刷新控制器(504)、一個預解碼列位址計數器(508)、一個預解碼列位址再驅動器(512)與一個核心裝置(516)。刷新控制器(504)之輸出端連接至預解碼列位址計數器(508)，預解碼列位址計數器(508)則以多條預解碼列位址線連接至預解碼列位址再驅動器(512)，預解碼列位址再

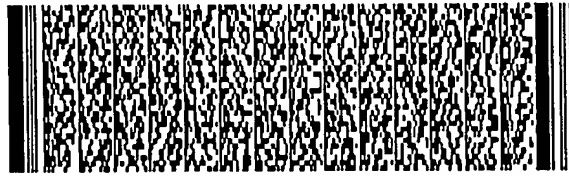
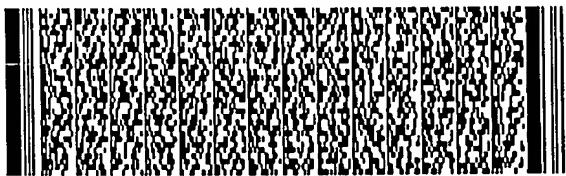


## 五、發明說明 (7)

驅動器(512)則是將其輸出端連接至核心裝置(516)。首先，刷新控制器(504)提供一個刷新控制信號輸出至預解碼列位址計數器(508)。在本發明的一個實施例中，此刷新控制信號可以是以一或多位元，如(A0、A1、A2)所表示之位址信號，藉以標示記憶體中要進行刷新操作的一個特定部分。接著，預解碼列位址計數器(508)的輸入端接收此刷新控制信號後，依據此刷新控制信號進行計數，得到一計數結果，並依據此計數結果輸出其相應合之預解碼列位址。預解碼列位址計數器(508)會將此多位元預解碼列位址逐次輸出至預解碼列位址再驅動器(512)中。必須注意的是，在本實施例中雖以三位元的控制信號為例，但於實際應用上並不需以此為限。

接下來，預解碼列位址再驅動器(512)會將預解碼列位址進行再驅動，並將再驅動後之預解碼列位址直接輸入至核心裝置(516)中進行刷新動作，記憶體電容刷新之動作即可完成。

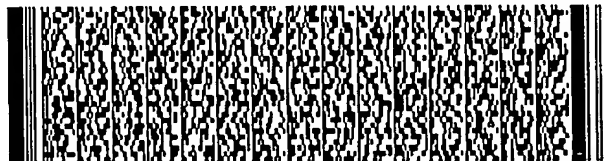
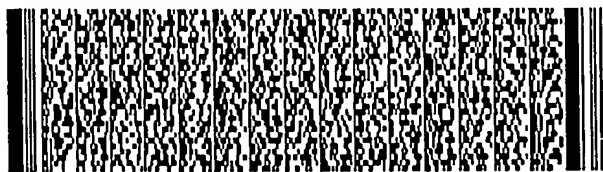
在本發明的另一個較佳實施例中，刷新控制器(504)可以是每隔一段時間就發出一個單純的控制信號，例如一個脈衝波信號，而預解碼列位址計數器(508)則是以計數接收到控制信號的次數來切換輸出至預解碼列位址再驅動器(512)的預解碼列位址線，在此，切換輸出之預解碼列位址線可以是一或多位元。舉例而言，當刷新控制器(504)第一次發出刷新控制信號時，預解碼列位址計數器(508)即將預解碼列位址線(520)致能，而將其他預解碼列



## 五、發明說明 (8)

位址線(522~536)除能；而當第二次發出刷新控制信號時，預解碼列位址計數器(508)即將預解碼列位址線(522)致能，並將其餘預解碼列位址線(520, 524~536)除能，如此一來，將可省去原需於預解碼列位址計數器(508)中安置的解碼器，並進一步節省刷新操作時所需消耗的電力。

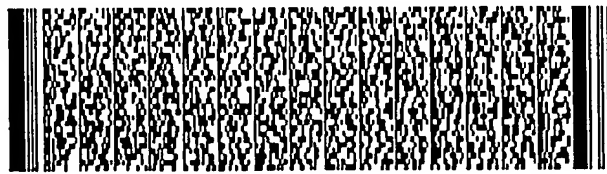
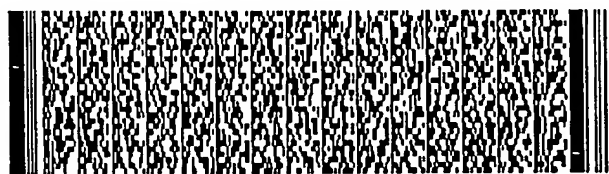
接下來，請參照第6圖，其繪示依照本發明一較佳實施例的預解碼列位址再驅動器獲得列位址的電路方塊示意圖，此電路裝置是為了選擇位址信號(621)與位址計數資料(615)中何者可以輸出預解碼列位址所設計。此裝置所依據之方法為，根據一個控制信號(618)來決定位址計數資料(615)或者是位址信號(621)其中之一經解碼輸出為預解碼列位址。在本發明的一個較佳實施例中，此裝置至少需包括一個選擇元件(603)，用來處理位址驅動器所傳輸之多個信號並輸出一位址信號(621)，以及與此選擇元件(603)連接之多工元件(609)。此多工元件(609)負責接收由選擇元件(603)所輸出之位址信號(621)，以及由預解碼列位址計數器所輸出之位址計數資料(615)。此多工元件(609)會根據一個控制信號(618)來選擇傳輸位址信號(621)或者是位址計數資料(615)其中之一輸出為預解碼列位址。在本發明的另一個較佳實施例中，可於選擇元件(603)與多工元件(609)之間，以及多工元件(609)與核心裝置之間加上第一與第二緩衝元件(606, 612)，用來穩定選擇元件(603)及多工元件(609)輸出之信號，以及調整此輸出信號之傳輸速度。



## 五、發明說明 (9)

接下來請合併參照第6圖及第7圖所繪示依照本發明一較佳實施例的刷新記憶體電容裝置的邏輯裝置圖。於此較佳實施例中，選擇元件(603)是用單個反及閘(703)來實現，第一與第二緩衝元件(606, 612)則是分別使用單個及雙個反閘(706; 715, 718)來實現，多工元件(609)則是由兩個傳輸閘(709, 712)來實現。接下來將對此邏輯裝置加以詳細說明。反及閘(703)負責將位於輸入端之兩個位址信號(721, 724)經反及運算後，輸出一個位址信號(621)。在此實施例中輸入端雖然只有兩個位址信號，但實際上並不需受限於此。接著，將此位址信號(621)傳輸至反閘(706)以調整此位址信號(621)之傳輸速度，並可增加此位址信號(621)之穩定度。接著由反閘(706)將位址信號(621)傳送至第一傳輸閘(709)之輸入端。

在此對這兩個傳輸閘(709, 712)的細節加以說明，第一與第二傳輸閘(709, 712)各別具有四個接端，輸入端、輸出端、第一接端(740, 744)及第二接端(742, 746)，其中，第一傳輸閘(709)與第二傳輸閘(712)的輸出端電性連接，可將各自之輸出信號匯合為一。第一傳輸閘(709)的輸入端與第一反閘(706)連接以接收位址信號(621)輸入，第一接端(740)則是接收第二控制信號(733)輸入，第二接端(742)與第二傳輸閘(712)之第一接端(744)連接且接收第一控制信號(727)輸入。第二傳輸閘(712)的輸入端接收位址資料信號(730)輸入，第一接端(744)接收第一控制信號(727)輸入，第二接端(746)接收第二控制信號(733)輸





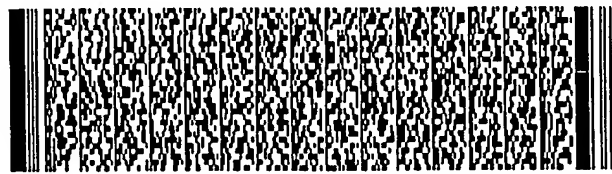
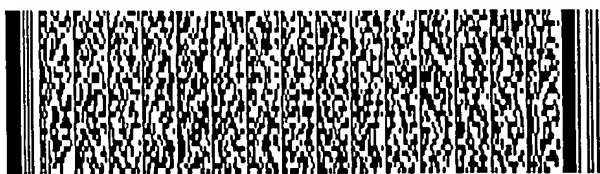
## 五、發明說明 (10)

入。第一傳輸閘(709)被導通後，位址信號(621)得以輸出其預解碼列位址(736)，第二傳輸閘(712)被導通後，則是位址計數資料(730)得以輸出其預解碼列位址(736)。

其中，在此較佳實施例中，第一與第二傳輸閘(709, 712)各別擁有之第一與第二接端(740, 742; 744, 746)之型態可各自使用P型式及N型式之材料來實現，但不須以此為限。可以用高電位的第一控制信號(727)及低電位的第二控制信號(733)來導通第一傳輸閘(709)，以低電位的第一控制信號(727)及高電位的第二控制信號(733)來導通第二傳輸閘(712)，但在實際應用可也無須以此為限。且在此實施例中雖然是以兩個傳輸閘(709, 712)來做為多工元件(609)之邏輯裝置，但於實際應用上也無需以此為限。例如，可以使用簡單的開關裝置來讓位址信號或者是位址計數資料(730)兩者之一得以被輸出。

第二反閘(715)端輸入端連接至第一傳輸閘(709)及第二傳輸閘(712)匯合為一之輸出端，可輸出位址信號(621)或位址計數資料(730)兩者之一為預解碼列位址(736)。此第二反閘(715)加上與其連接之第三反閘(718)，這兩個反閘(715, 718)之合成，可被視為第6圖中之第二緩衝元件(612)。用來將第一與第二傳輸閘所傳輸之信號加以穩定，且調整其傳輸之速度，並且其輸出端即為預解碼列位址再驅動器(512)之輸出端。

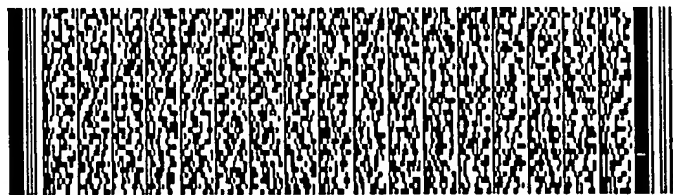
另外，在上述實施例中所提到之預解碼列位址計數器(508)可視為本發明之特色之一，為達到於列解碼動作時



## 五、發明說明 (11)

略過閘鎖裝置及位址驅動器，此預解碼列位址計數器(508)當控制信號為N位元時，則輸出 $2^N$ 種計數結果。預解碼列位址再驅動器(512)的輸入端則是N條連接線電性連接至預解碼列位址計數器(508)的輸出端，最後，與預解碼列位址再驅動器(512)的輸出端電性連接的核心裝置(516)，依照預解碼列位址進行記憶體電容刷新。因為此種型態之預解碼列位址計數器(508)的輸出端可直接連接至預解碼列位址再驅動器(512)，並迅速獲得解碼運算結果，與習知技術不同。且由於略過位址閘鎖裝置以及位址驅動器，因而達到省電之目的。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖是繪示2KB(2的12次方)的記憶體之結構圖。

第2圖是繪示習知技術的刷新記憶體電容裝置的電路方塊圖。

第3圖是繪示動態隨機存取記憶體的充電週期示意圖。

第4圖是繪示依照本發明一較佳實施例的刷新記憶體電容方法的流程圖。

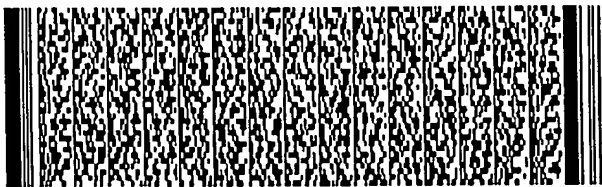
第5圖是繪示依照本發明一較佳實施例的刷新記憶體電容裝置的電路方塊圖。

第6圖是依照本發明一較佳實施例的預解碼列位址再驅動器獲得預解碼列位址的電路方塊示意圖。

第7圖是依照本發明一較佳實施例的預解碼列位址再驅動器獲得預解碼列位址的邏輯裝置圖。

### 圖式標記說明：

- 103 :  $6 \times 64$  行解碼器
- 106 :  $6 \times 64$  列解碼器
- 109 : 於  $27 \times 35$  位址上之記憶體胞
- 112 : 行主動信號
- 115 : 列主動信號
- 118 : 列位址信號
- 202 : 刷新計數器
- 204 : 刷新控制器
- 206 : 位址驅動器
- 208 : 位址暫存器



## 圖式簡單說明

210 : 列位址預解碼器

212 : 核心裝置

214 : 預解碼列位址再驅動器

302, 304, 306, 308 : 記憶體充電時，電壓對時間之關

係曲線

310, 312, 314, 316 : 記憶體電力自然流失時，電壓對

時間之關係曲線

S403~S412 : 各個實施步驟流程

504 : 刷新控制器

508 : 預解碼列位址計數器

512 : 預解碼列位址再驅動器

516 : 核心裝置

520~534 : 預解碼列位址線

603 : 選擇元件

606 : 第一緩衝元件

609 : 多工元件

612 : 第二緩衝元件

615 : 位址計數資料

618 : 控制信號

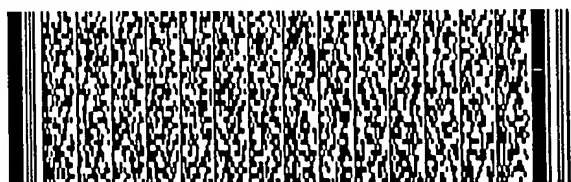
621 : 位址信號

703 : 反及閘

706 : 第一反閘

709 : 第一傳輸閘

712 : 第二傳輸閘



# 圖式簡單說明

- 715 : 第二反閘
- 718 : 第三反閘
- 721, 724 : 反及閘之輸入端
- 727 : 第一控制信號
- 730 : 位址計數資料
- 733 : 第二控制信號
- 736 : 預解碼列位址
- 740 : 第一傳輸閘之第一接端
- 742 : 第一傳輸閘之第二接端
- 744 : 第二傳輸閘之第一接端
- 746 : 第二傳輸閘之第二接端



## 六、申請專利範圍

1. 一種獨立式刷新記憶體電容的方法，適用於至少包括一刷新控制器耦接至一預解碼列位址計數器之輸入端，並且該預解碼列位址計數器之輸出端耦接至一預解碼列位址再驅動器之輸入端之系統中，該獨立式刷新記憶體電容的方法包括：

該刷新控制器提供一刷新控制信號；

該預解碼列位址計數器依據該刷新控制信號進行計數，且依據計數結果，輸出相應之一預解碼列位址；

將該預解碼列位址，直接輸入該預解碼列位址再驅動器得到一系列位址；以及

依據該預解碼列位址，刷新記憶體電容。

2. 如申請專利範圍第1項所述之獨立式刷新記憶體電容的方法，其中更包括：

根據一控制信號而決定解碼一位址計數資料及一位址信號兩者之一；以及

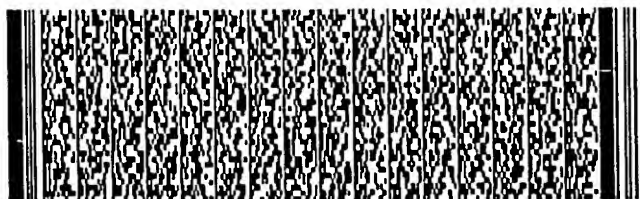
將該位址計數資料及該位址信號兩者之一輸入至該預解碼列位址再驅動器中。

3. 一種獨立式刷新記憶體電容的裝置，包括：

一刷新控制器，提供一刷新控制信號；

一預解碼列位址計數器，包含複數條預解碼列位址線，該預解碼列位址計數器之輸入端耦接至該刷新控制器，接收該刷新控制信號，進行計數，並根據計數結果利用該些預解碼列位址線輸出相應之一預解碼列位址；

一預解碼列位址再驅動器，該列預解碼器之多條輸入



## 六、申請專利範圍

端耦接至該預解碼列位址計數器之該些預解碼列位址線，將該預解碼列位址進行再驅動，輸出一預解碼列位址；以及

一核心裝置，耦接至該預解碼列位址再驅動器之輸出端，依據該列位址，刷新記憶體電容。

4. 如申請專利範圍第3項所述之獨立式刷新記憶體電容的裝置，其中，該預解碼列位址計數器之輸入端之接線個數為 $N$ 時，則輸出端之該些預解碼列位址線個數為 $2$ 的 $N$ 次。

5. 如申請專利範圍第3項所述之獨立式刷新記憶體電容的裝置，其中，該預解碼列位址再驅動器更包括：

一選擇元件，將該選擇元件輸入端之信號進行選擇，並輸出一位址信號；以及

一多工元件，該多工元件耦接至該選擇元件，依據一控制信號，將該位址信號及該位址計數資料兩者之一輸出為該預解碼列位址。

6. 如申請專利範圍第5項所述之獨立式刷新記憶體電容的裝置，其中，該選擇元件係為反及閘。

7. 如申請專利範圍第5項所述之獨立式刷新記憶體電容的裝置，其中，該多工元件係為兩個傳輸閘。

8. 如申請專利範圍第5項所述之獨立式刷新記憶體電容的裝置，其中，該預解碼列位址再驅動器更包括：

一第一緩衝元件，該第一緩衝元件耦接至該多工元之輸出端及該選擇元件之輸入端，用以接收並穩定該運算結

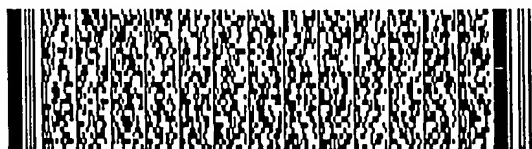


#### 六、申請專利範圍

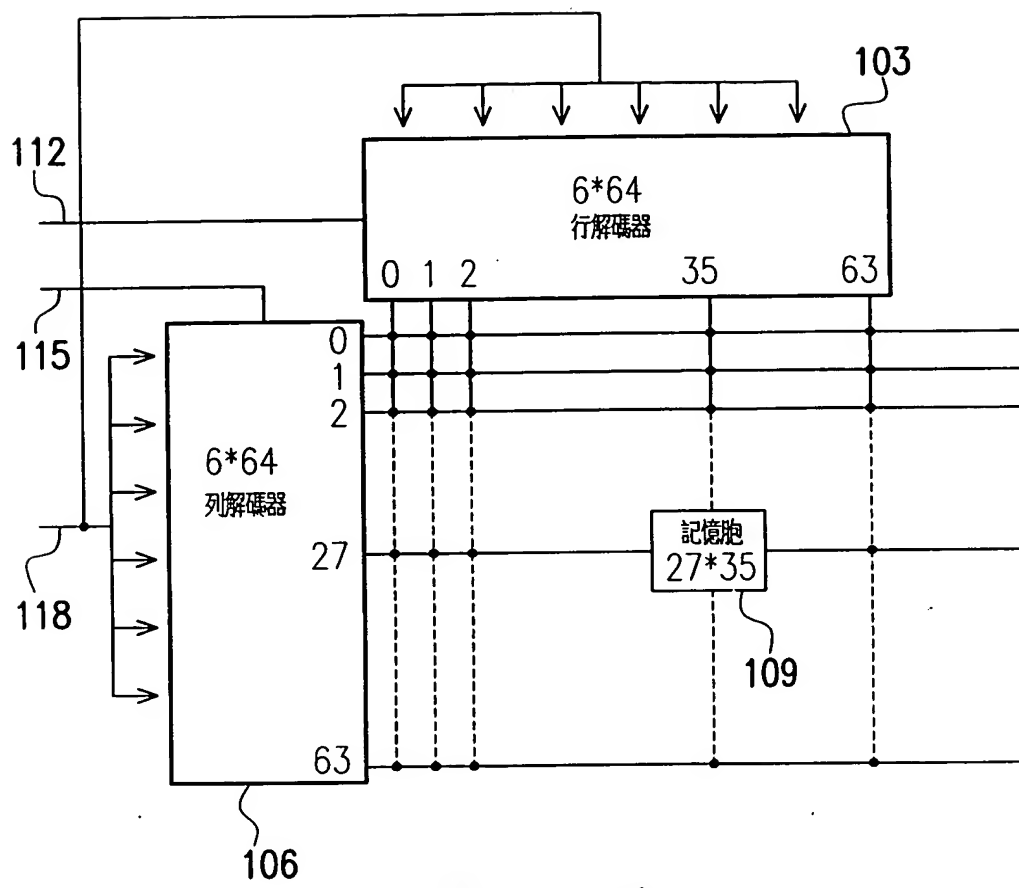
果，並調整該位址信號之傳輸速度；以及

一第二緩衝元件，耦接至該選擇元件之輸出端，用以接收並穩定該位址信號及該位址計數資料兩者之一，並調整該位址信號及該位址計數資料兩者之一之傳輸速度。

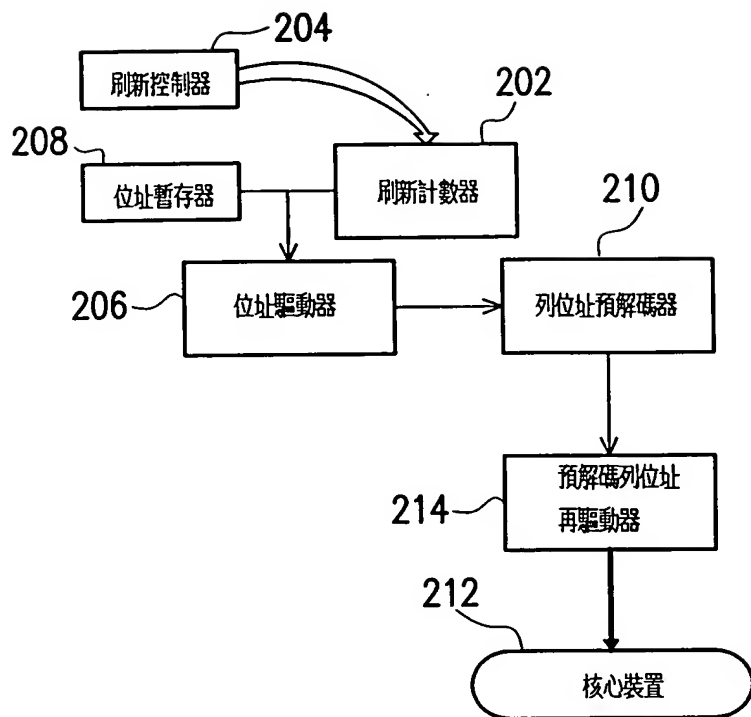
9. 如申請專利範圍第8項所述之獨立式刷新記憶體電容的裝置，其中該第一及第二緩衝元件係為反閘。



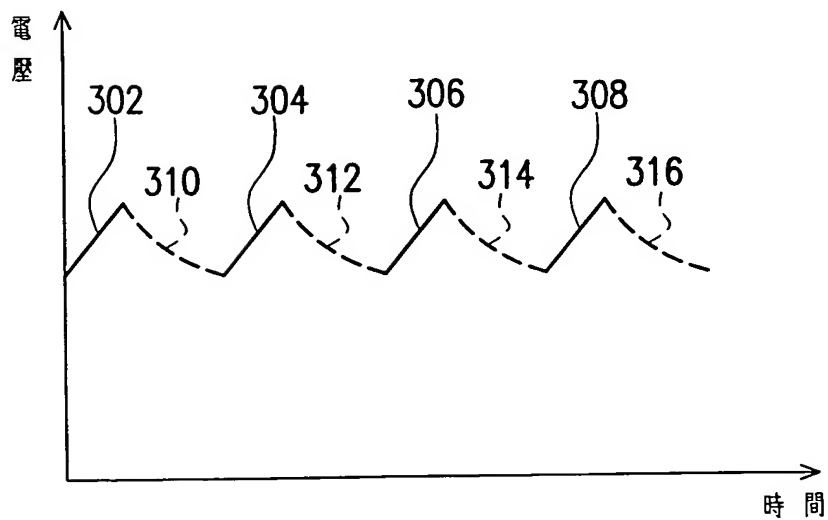




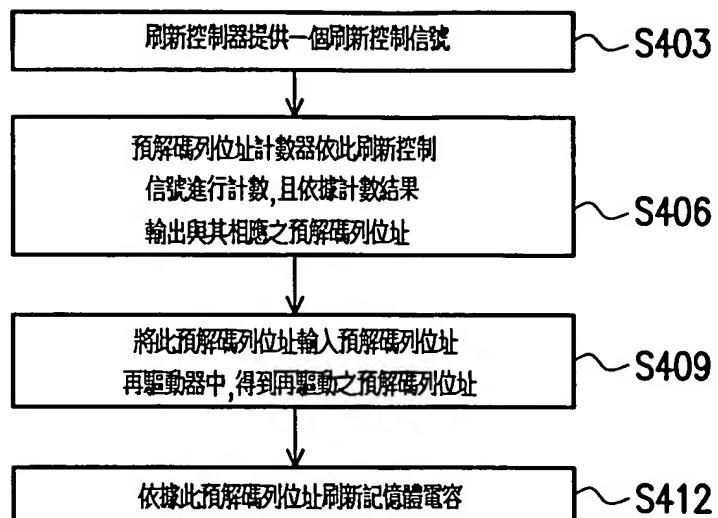
第 1 圖



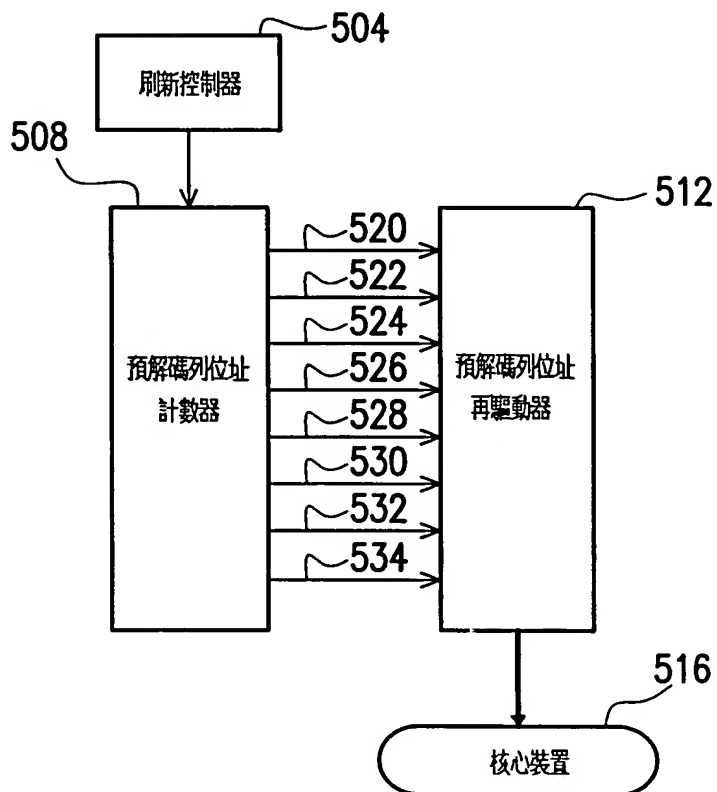
第 2 圖



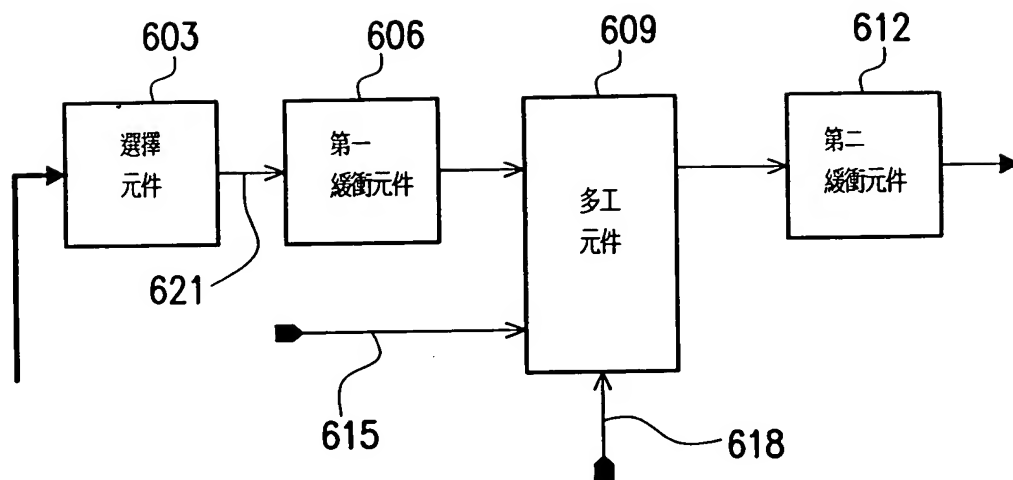
第 3 圖



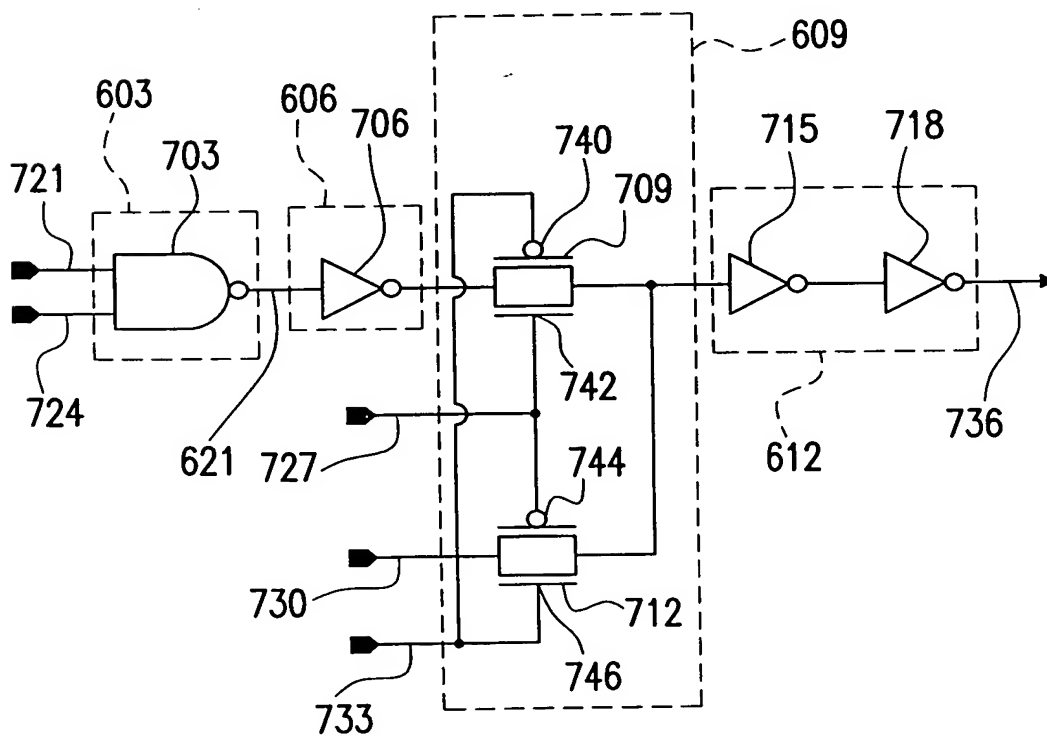
第 4 圖




第 5 圖



第 6 圖




第 7 圖



100

100

100




100

100

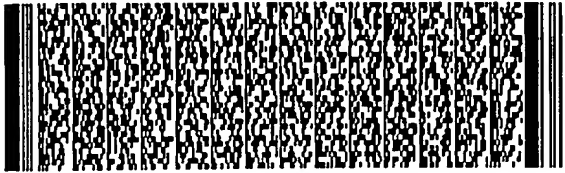


100

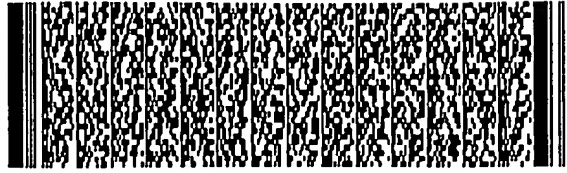


100

第 11/22 頁



第 11/22 頁



第 12/22 頁



第 12/22 頁



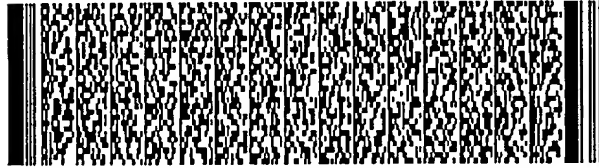
第 13/22 頁



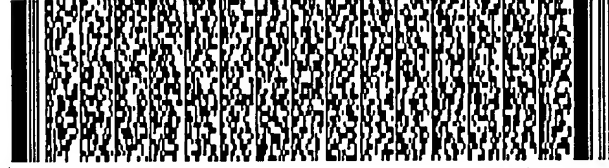
第 13/22 頁



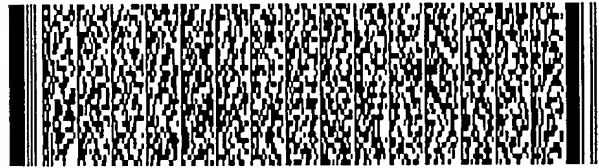
第 14/22 頁



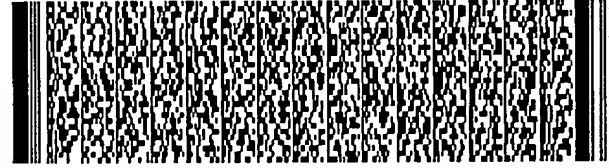
第 14/22 頁



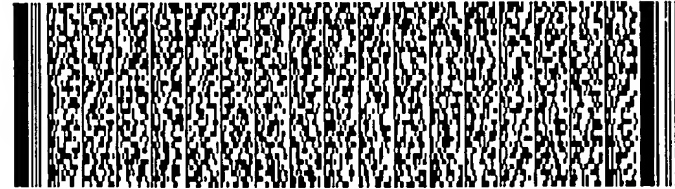
第 15/22 頁



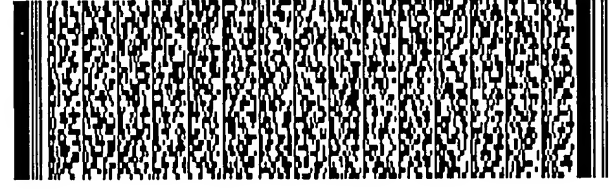
第 15/22 頁



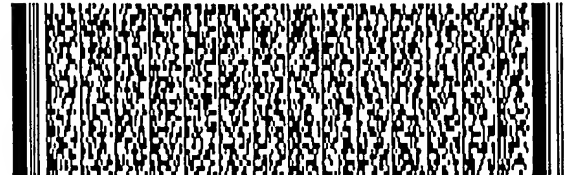
第 16/22 頁



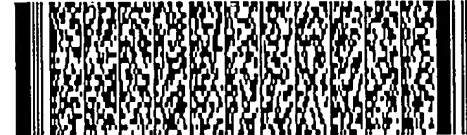
第 17/22 頁



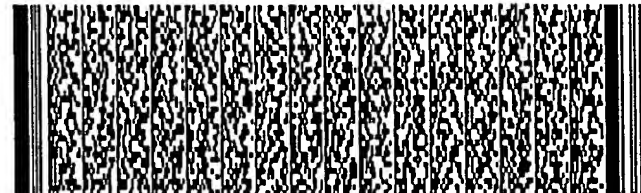
第 18/22 頁



第 19/22 頁



第 20/22 頁



第 21/22 頁

